

SEMICONDUCTOR MODULE

Publication number: JP2001077303

Publication date: 2001-03-23

Inventor: OKUMURA NAOHISA

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: **H01L25/18; H01L25/10; H01L25/11; H01L25/18; H01L25/10; (IPC1-7): H01L25/10**

- European:

Application number: JP19990252125 19990906

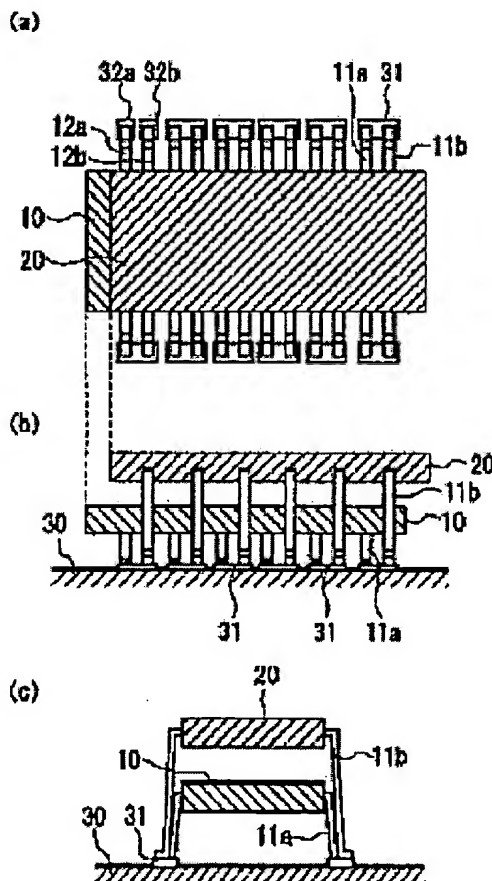
Priority number(s): JP19990252125 19990906

Report a data error here

Abstract of JP2001077303

PROBLEM TO BE SOLVED: To obtain a semiconductor module which is improved in assembling efficiency without having any adverse effect upon the high-density mounting of laminated semiconductor devices.

SOLUTION: A semiconductor module is provided with a mounting substrate 30 on which a plurality of semiconductor devices 10 and 20 having rectangular shapes in their top views, and a plurality of external terminals 11a and 11b led out of the facing two sides of the devices 10 and 20 are mounted in a laminated state. The substrate 30 carries a plurality of pads 31 arranged in the same direction as the arranging direction of the terminals 11a and 11b, and part of the pads 31 is constituted for selecting chip for selecting the semiconductor devices 10 and 20. In addition, the semiconductor devices 10 and 20 are stacked upon another in such a way that the external terminals 11a and 11b of the devices 10 and 20 are connected to the pads 31. the semiconductor devices are laminated upon another in such a way that one of the devices is shifted from the other to one side of the arranging direction of the terminals 11a and 11b. Of the pads 31, in addition, at least those which are constituted for selecting chip are independently formed at every semiconductor device.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-77303

(P2001-77303A)

(43)公開日 平成13年3月23日(2001.3.23)

(51)Int.Cl. ⁷	識別記号	F I	データベース*(参考)
H 0 1 L 25/10		H 0 1 L 25/14	Z
25/11			
25/18			

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平11-252125

(22)出願日 平成11年9月6日(1999.9.6)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 奥村 尚久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100083806

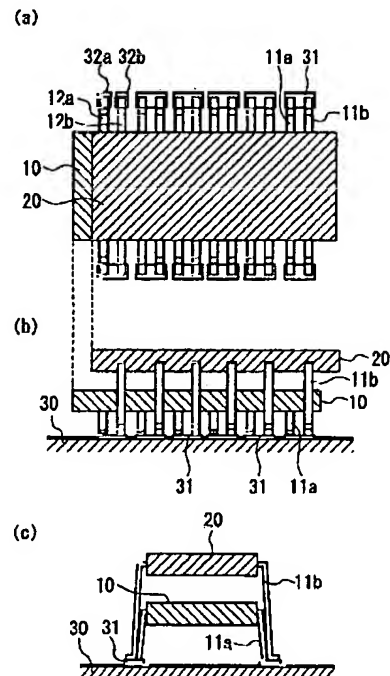
弁理士 三好 秀和 (外7名)

(54)【発明の名称】 半導体モジュール

(57)【要約】

【課題】 積層する半導体装置の高密度実装に悪影響を及ぼさないうで、組み立て効率を向上させた半導体モジュールを提供する。

【解決手段】 平面が四辺形の形状を成しその四辺のうちの対向する二辺から複数の外部端子が導出された半導体装置を複数個積層して実装する実装基板を備え、前記実装基板は、前記各半導体装置の外部端子の端子列方向と同一方向に複数のパッドが配置され、且つ前記複数のパッドの一部が前記半導体装置を選択するためのチップセレクト用に構成され、前記各段の半導体装置の外部端子を前記パッドに接続する形で前記実装基板上に複数の半導体装置を積層した半導体モジュールにおいて、前記各段の半導体装置は、前記外部端子の端子列方向の一方にずらして積層すると共に、前記複数のパッドのうち少なくとも前記チップセレクト用のパッドは、前記各段の半導体装置毎に独立して形成する。



【特許請求の範囲】

【請求項1】 平面が四辺形の形状を成しその四辺のうちの対向する二辺から複数の外部端子が導出された半導体装置を複数個積層して実装する実装基板を備え、前記実装基板は、前記各半導体装置の外部端子の端子列方向と同一方向に複数のパッドが配置され、且つ前記複数のパッドの一部が前記半導体装置を選択するためのチップセレクト用に構成され、前記各段の半導体装置の外部端子を前記パッドに接続する形で前記実装基板上に複数の半導体装置を積層した半導体モジュールにおいて、前記各段の半導体装置は、前記外部端子の端子列方向の一方にずらして積層すると共に、前記複数のパッドのうち少なくとも前記チップセレクト用のパッドは、前記各段の半導体装置毎に独立して形成したことを特徴とする半導体モジュール。

【請求項2】 前記各段の半導体装置は、装置本体の寸法及び形状が同一であることを特徴とする請求項1記載の半導体モジュール。

【請求項3】 前記チップセレクト用のパッドは、隣接するパッドが互いに接続可能なパッドである場合には独立して形成せず当該隣接パッドと共通パッドを構成することを特徴とする請求項1または請求項2記載の半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1枚の実装基板上に2個以上の半導体装置を積層実装（積み重ね実装）した半導体モジュールに関する。

【0002】

【従来の技術】従来、半導体装置の高密度実装を可能にする半導体モジュールの構造として、例えば図3に示すようなものがあった。

【0003】図3(a)、(b)、(c)は、半導体装置を2段に積層実装した従来の半導体モジュールの構成を示す図であり、同図(a)はその平面図、同図(b)及び同図(c)は側面図である。

【0004】同図に示すように、この半導体モジュールは、平面が長方形でその四辺のうちの対向する二辺から複数の外部端子101が導出された半導体装置100を実装基板130上に2段積層実装している。各段の半導体装置110、120は、本体パッケージの寸法及び形状が同一であり、各段ともずれることなく積層されている。

【0005】実装基板130には、各段の半導体装置110、120の外部端子101の端子列方向と同一方向に複数のパッド131が配置され、この複数のパッド131中の一つのパッド132が、動作する半導体装置を選択するためのチップセレクト用に使用される。さらに、各段の半導体装置110、120の外部端子101が実装基板130上の対応する各々パッド131にそれ

ぞれ共通接続される形で、前記実装基板130上に各段の半導体装置110、120が積層された構造を成している。

【0006】さらに具体的に説明すると、1段目の半導体装置110は、図4(a)に示すように、ICチップ111の各電極112がそれぞれ外部端子101に接合されており、そのうち、チップセレクト用の電極112aがチップセレクト用の外部端子102aを介してチップセレクト用のパッド132に接合されている。同様に、2段目の半導体装置120は、図4(b)に示すように、ICチップ121の各電極122がそれぞれ前記外部端子101に接合されているものの、そのうちのチップセレクト用の外部端子（以下、単にチップセレクト端子という）102bは途中で切断されており、従ってチップセレクト用の電極122bはチップセレクト用のパッド132に接合されていない状態となっている。

【0007】このように、チップセレクト端子102a、102bの形状を各段の半導体装置110、120で異なるものにするにより、チップ選択を可能にしている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の半導体モジュールでは、チップセレクト端子の形状が各段の半導体装置毎に異なるものになるため、次のような問題点があった。

【0009】すなわち、従来の半導体モジュールの組み立て工程においては、積層する半導体装置の各段毎に、異なる外部端子の部材を用意し、各段用に組み立てられた半導体装置を選別した上で積層実装する必要があった。この点が、半導体モジュールの組み立て効率に非常に悪影響を与える要因となっており、これは積層させる半導体層の段数が多くなるほど顕著となる。

【0010】そこで、上記問題点の解決を図る観点から、図5に示すような特開平4-276649号公報に開示された構造の半導体モジュールを応用することが考えられる。

【0011】図5に示す半導体モジュールは、1枚の実装基板200上に大きさの異なる3個の半導体装置210、220、230を積層実装したものであり、各段の半導体装置210、220、230の外部端子211、221、231に接続される実装基板200上の各パッド201、202、203は、それぞれ独立に形成されている。このように各パッド201、202、203をそれぞれ独立に形成することにより、例えばそのパッドの一部をチップセレクト用に使用した場合には、チップセレクト端子の形状を各段の半導体装置毎に同一とすることが可能である。

【0012】しかし、積層される半導体装置の個数が増加するに伴い実装基板200に配置されるパッドの個数も増えるが、本公報の構造では、端子引き出し方向に対

してパッドの配列が増加する。しかも、パッケージの對抗する二辺（端子引き出し方向）の何れの方向でもパッドの配列が増加するため、実装基板200の面積が著しく増大するという問題がある。さらに、本体パッケージの形状及び寸法が同一の半導体装置を積層することも可能ではあるが、この場合は、積層される半導体装置の上段にいくほど外部端子のリード長を長くする必要があり、材料効率の悪化やショートが発生等の問題から、実際的にはなかった。

【0013】本発明は、上述の如き従来の問題点を解決するために成されたもので、その目的は、積層する半導体装置の高密度実装に悪影響を及ぼさないで、組み立て効率を向上させた半導体モジュールを提供することである。またその他の目的は、本体パッケージの寸法及び形状が同一の半導体装置を積層する際に、高密度実装に悪影響を及ぼさないで、組み立て効率を向上させた半導体モジュールを提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明に係る半導体モジュールでは、平面が四辺形の形状を成しその四辺のうちの対向する二辺から複数の外部端子が導出された半導体装置を複数個積層して実装する実装基板を備え、前記実装基板は、前記各半導体装置の外部端子の端子列方向と同一方向に複数のパッドが配置され、且つ前記複数のパッドの一部が前記半導体装置を選択するためのチップセレクト用に構成され、前記各段の半導体装置の外部端子を前記パッドに接続する形で前記実装基板上に複数個の半導体装置を積層した半導体モジュールにおいて、前記各段の半導体装置は、前記外部端子の端子列方向の一方にずらして積層すると共に、前記複数のパッドのうち少なくとも前記チップセレクト用のパッドは、前記各段の半導体装置毎に独立して形成したことを特徴とする。

【0015】請求項2記載の発明に係る半導体モジュールでは、請求項1記載の半導体モジュールにおいて、前記各段の半導体装置は、装置本体の寸法及び形状が同一であることを特徴とする。

【0016】請求項3記載の発明に係る半導体モジュールでは、請求項1または請求項2記載の半導体モジュールにおいて、前記チップセレクト用のパッドは、隣接するパッドが互いに接続可能なパッドである場合には独立して形成せず当該隣接パッドと共通パッドを構成することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0018】図1(a)、(b)、(c)は、本発明の実施の一形態に係る半導体モジュールの構成を示す図であり、同図(a)はその平面図、同図(b)及び同図(c)は側面図である。

【0019】この半導体モジュールは、平面が長方形でその四辺のうちの対向する二辺から複数の外部端子が導出された同一の寸法及び形状の半導体装置を実装基板上に2段積層実装しているが、その積層形態は従来の半導体モジュールと異なり、各段の半導体装置10、20は、その外部端子11a、11bの端子列方向の一方に端子ピッチの半ピッチ程度ずらした形で積層されている（図1(b)参照）。

【0020】実装基板30には、各段の半導体装置10、20の外部端子11a、11bの端子列方向と同一方向に複数のパッド31が配置されている。積層する各段の半導体装置10、20が端子列方向にずれるため、実装基板30上の各パッド31は、そのずれた分だけ端子列方向に長く延設されている。そして、各段の半導体装置10、20の外部端子11a、11bが実装基板30上の対応する各々パッド31に、端子列方向にずらした形でそれぞれ共通接続されている。但し、この複数のパッド31中のチップセレクト用のパッド32a、32bは、互いに分離されて実装基板30上に配置され、各段の半導体装置10、20から引き出された同一形状のチップセレクト端子12a、12bを介して、それぞれ各段の半導体装置10、20のチップセレクト用の電極16a、26bに接続されている。

【0021】より具体的に説明すると、1段目の半導体装置10は、図2(a)に示すように、ICチップ15の各電極16がそれぞれ同一形状の外部端子11aに接合されており、そのうち、チップセレクト用の電極16aがチップセレクト端子12aを介してチップセレクト用のパッド32aに接合されている。同様に、2段目の半導体装置20は、図2(b)に示すように、ICチップ25の各電極26がそれぞれ同一形状の外部端子11bに接合され、そのうち、チップセレクト用の電極26bがチップセレクト端子12bを介して、1段目の半導体装置10用に配置されたチップセレクト用パッド32aと独立して配置された2段目用のチップセレクト用パッド32bに接続されている。

【0022】かかる構造においては、各段のチップセレクト端子12a、12bが、実装基板30上の独立したパッド32a、32bにそれぞれ接合されることによって電氣的に完全に分離され、例えばパッド32aとパッド32bに異なる電位を与えることで、動作する半導体装置を切り換えることが可能となる。

【0023】このように本実施形態では、チップセレクト端子12a、12bにそれぞれ接合される実装基板30のパッド32a、32bが端子列方向に独立して配置され、積層実装1段目の半導体装置10と積層実装2段目の半導体装置20とを外部端子11a、11bの端子列方向の一方にずらして実装するようにしたので、実装基板30の面積拡大を最小限に抑えつつ、形状が同一のチップセレクト端子12a、12bを有する同一の寸法

及び形状の半導体装置を複数段積層実装して、チップ選択を容易に行うことができる。これにより、端子形状が異なる部材を用意する必要がなくなり、同一端子形状の半導体装置を用いた2段以上の積層実装を容易に行うことができるため、モジュールの組み立て効率が向上する。さらに、積層する半導体装置の個数が増加しても、実装基板30の面積拡大が端子列方向の一方だけに限定されるため、半導体装置の高密度実装にも悪影響を及ぼすことがない。

【0024】

【発明の効果】以上詳細に説明したように、請求項1記載の発明に係る半導体モジュールによれば、平面が四辺形の形状を成しその四辺のうちの対向する二辺から複数の外部端子が導出された半導体装置を複数個積層して実装する実装基板を備え、前記実装基板は、前記各半導体装置の外部端子の端子列方向と同一方向に複数のパッドが配置され、且つ前記複数のパッドの一部が前記半導体装置を選択するためのチップセレクト用に構成され、前記各段の半導体装置の外部端子を前記パッドに接続する形で前記実装基板上に複数の半導体装置を積層した半導体モジュールにおいて、前記各段の半導体装置は、前記外部端子の端子列方向の一方にずらして積層すると共に、前記複数のパッドのうち少なくとも前記チップセレクト用のパッドは、前記各段の半導体装置毎に独立して形成したので、端子形状が異なる部材を用意する必要がなくなり、同一端子形状の半導体装置を用いた2段以上の積層実装を容易に行うことができ、モジュールの組み立て効率が向上する。さらに、積層する半導体装置の個数が増加しても、実装基板の面積拡大が端子列方向の一方だけに限定されるため、半導体装置の高密度実装にも悪影響を及ぼすことがない。これにより、信頼性の高い半導体モジュールを実現することが可能になる。

【0025】請求項2記載の発明に係る半導体モジュール

によれば、請求項1記載の半導体モジュールにおいて、前記各段の半導体装置は、装置本体の寸法及び形状が同一のものを使用したので、請求項1記載の発明と同等の効果を得ることができ、特に本発明の構造を例えばメモリの容量を増加させるために適用した場合には著しい効果が期待できる。

【0026】請求項3記載の発明に係る半導体モジュールによれば、請求項1または請求項2記載の半導体モジュールにおいて、前記チップセレクト用のパッドは、隣接するパッドが互いに接続可能なパッドである場合には独立して形成せず当該隣接パッドと共通パッドを構成するようにしたので、請求項1または請求項2記載の発明と同等の効果を得ることができるほか、設計の自由度を増大することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る半導体モジュールの構成を示す図である。

【図2】図1に示した各段の半導体装置の構成を示す図である。

【図3】半導体装置を2段に積層実装した従来の半導体モジュールの構成を示す図である。

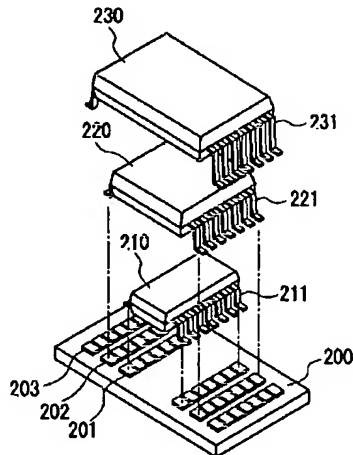
【図4】図3に示した各段の半導体装置の構成を示す図である。

【図5】従来の他の半導体モジュールの構成を示す図である。

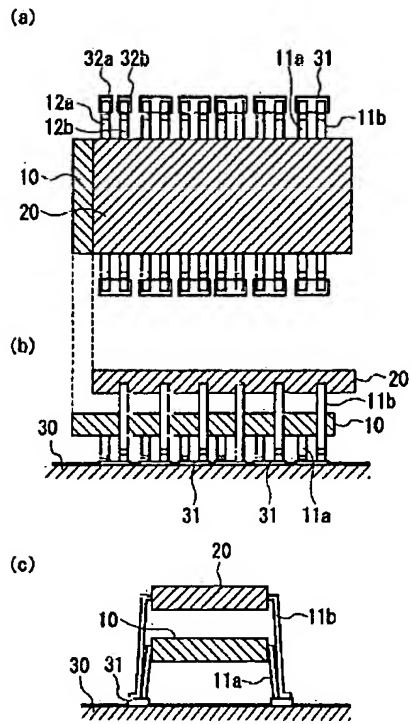
【符号の説明】

- 10, 20 半導体装置
- 11a, 11b 外部端子
- 12a, 12b チップセレクト端子
- 16a, 26b チップセレクト用の電極
- 30 実装基板
- 31 パッド
- 32a, 32b チップセレクト用のパッド

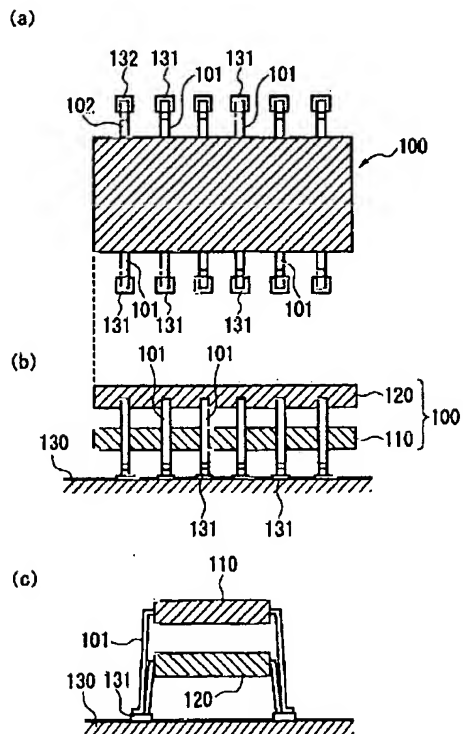
【図5】



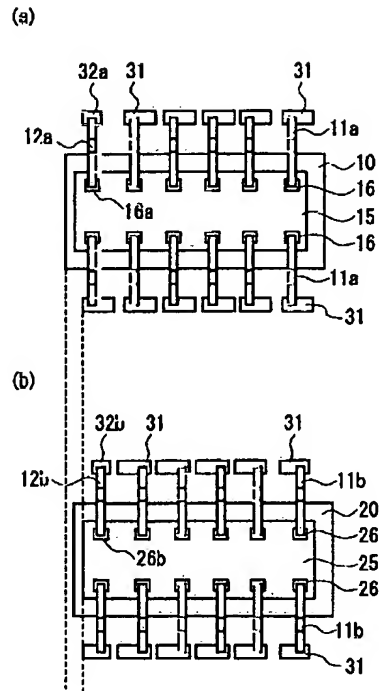
【図1】



【図3】



【図2】



【図4】

